

DERWENT-ACC-NO: 1999-391381

DERWENT-WEEK: 200147

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Structure monolithic type active matrix circuit and its drive circuit -  
has TFTs of active matrix and peripheral circuits with offset and low  
concentration impurity areas, respectively under sidewalls of aluminum oxide  
layer

PATENT-ASSIGNEE: SEMICONDUCTOR ENERGY LAB[SEME]

PRIORITY-DATA: 1994JP-0154177 (June 13, 1994), 1998JP-0281867 (June 13, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 3195584 B2	August 6, 2001	N/A	009	H01L 029/786
JP 11154755 A	June 8, 1999	N/A	009	H01L 029/786

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 3195584B2	Div ex	1994JP-0154177	June 13, 1994
JP 3195584B2	N/A	1998JP-0281867	June 13, 1994
JP 3195584B2	Previous Publ.	JP 11154755	N/A
JP 11154755A	Div ex	1994JP-0154177	June 13, 1994
JP 11154755A	N/A	1998JP-0281867	June 13, 1994

INT-CL\_(IPC): G02F001/136; G02F001/1368; H01L021/336; H01L029/786

RELATED-ACC-NO: 1996-084535; 1999-390593; 1999-408536; 1999-408537

ABSTRACTED-PUB-NO: JP 11154755A

BASIC-ABSTRACT: NOVELTY - Thin film transistor (TFT) of active matrix circuit is driven by TFT of peripheral circuit. Aluminum oxide layers (107,108) are formed on upper surface of gate electrodes (105) of TFTs. TFTs of active matrix and peripheral circuits have offset and low concentration impurity areas, respectively under sidewalls (111,112) of aluminum oxide layer.

DETAILED DESCRIPTION - The TFTs are formed on insulated layer of substrate.

USE - For liquid crystal display and plasma display devices.

ADVANTAGE - Raises display characteristics of the device. DESCRIPTION OF DRAWING(S) - The figure shows sectional view of sidewall production process of active matrix circuit. (105) Gate electrodes; (107,108) Aluminum oxide layers; (111,112) Sidewalls.

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS:

STRUCTURE MONOLITHIC TYPE ACTIVE MATRIX CIRCUIT DRIVE CIRCUIT ACTIVE

MATRIX

PERIPHERAL CIRCUIT OFFSET LOW CONCENTRATE IMPURE AREA RESPECTIVE SIDEWALL  
OXIDE  
LAYER

DERWENT-CLASS: P81 U14

EPI-CODES: U14-K01A2B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1999-293771

(51)IntCl.  
H01L 29/786  
G02F 1/136  
H01L 21/336

識別記号  
500

F I  
H01L 29/78 613A  
G02F 1/136 500  
H01L 29/78 612B  
616A  
617A

審査請求 有 請求項の数4 O L (全9頁)

(21)出願番号 特願平10-281867  
(62)分割の表示 特願平6-154177の分割  
(22)出願日 平成6年(1994)6月13日

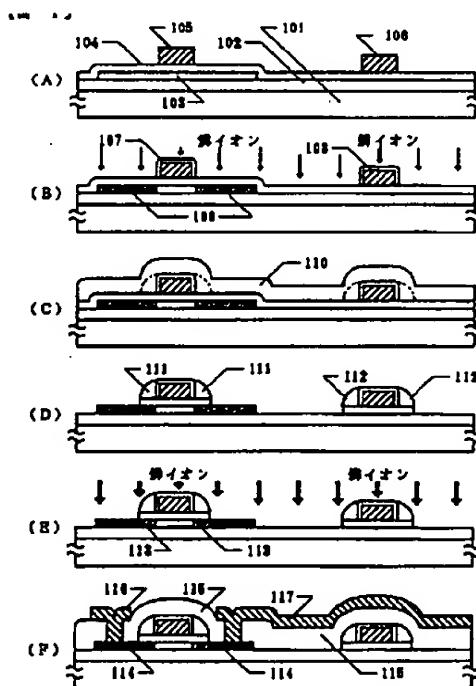
(71)出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72)発明者 須沢 英臣  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 アクティブマトリクス回路

(57)【要約】

【目的】 薄膜トランジスタによって構成されたアクティブマトリクス回路とその駆動回路の新しい構成を提案する。

【構成】 ドーピングプロセスとサイドウォールを組み合わせることにより、アクティブマトリクス回路の薄膜トランジスタのソース／ドレインにはN型もしくはP型のいずれか一方の不純物をドーピングし、アクティブマトリクス回路の薄膜トランジスタと導電型が同じで、かつ、周辺回路に使用されている薄膜トランジスタのソース／ドレインにはP型およびN型の不純物が両方とも含まれるようにする。



## 【特許請求の範囲】

【請求項1】絶縁表面を有する基板と、前記絶縁表面上の第1の薄膜トランジスタを有するアクティブマトリクス回路と、前記絶縁表面上の第2の薄膜トランジスタを有し、アクティブマトリクス回路を駆動させるための周辺回路とを有し、前記第1と第2の薄膜トランジスタは活性層上のゲート電極と、前記ゲート電極の上面及び側面の陽極酸化物と、前記陽極酸化物の側面のサイドウォールとを有し、前記第1の薄膜トランジスタは前記サイドウォールの下にオフセット領域を有し、前記第2の薄膜トランジスタは前記サイドウォールの下に低濃度不純物領域を有することを特徴とする半導体装置。

【請求項2】絶縁表面を有する基板と、前記絶縁表面上の複数の薄膜トランジスタとを有し、前記薄膜トランジスタは、活性層上のゲート電極と、前記ゲート電極の上面及び側面の陽極酸化物と、前記陽極酸化物の側面のサイドウォールとを有し、一の薄膜トランジスタはアクティブマトリクス回路として、他の薄膜トランジスタはアクティブマトリクス回路を駆動させるための周辺回路として配置され、一の薄膜トランジスタは前記サイドウォールの下のオフセット領域を有し、他の薄膜トランジスタは前記サイドウォールの下に低濃度不純物領域を有することを特徴とする半導体装置。

【請求項3】絶縁表面を有する基板と、前記絶縁表面上の第1の薄膜トランジスタを有する画素回路において、前記第1の薄膜トランジスタは、第1のソース領域及び第1のドレイン領域と、第1の活性層上の第1のゲート電極と、前記第1のゲート電極の上面及び側面の第1の陽極酸化物と、前記第1の陽極酸化物の側面の第1のサイドウォールと、前記絶縁表面上の第2の薄膜トランジスタを有し、画素回路を駆動するための周辺回路において、前記第2の薄膜トランジスタは、第2のソース領域及びドレイン領域と、第2の活性層上の第2のゲート電極と、前記第2のゲート電極の上面及び側面の第2の陽極酸化物と、前記第2の陽極酸化物の側面の第2のサイドウォールとを有し、前記第1の薄膜トランジスタは前記第1のサイドウォールの下のオフセット領域を有し、

2 前記第2の薄膜トランジスタは前記第2のサイドウォールの下の低濃度不純物領域を有し、

第1のソース領域と第1のドレイン領域に含まれる不純物の濃度は第2のソース領域と第2のドレイン領域に含まれる不純物の濃度よりも低いことを特徴とする半導体装置。

【請求項4】請求項1～3に記載の半導体装置を有するアクティブマトリクス表示装置である。

## 【発明の詳細な説明】

## 10 【0001】

【産業上の利用分野】本発明は、絶縁基板（本明細書では絶縁性の表面を有する物体全体を指し、特に断らないかぎり、ガラス等の絶縁材料のみならず、半導体や金属等の材料上に絶縁物層を形成したものも意味する）上に形成された薄膜状の絶縁ゲート型半導体装置（薄膜トランジスタ、TFTともいう）を用いて構成されたアクティブマトリクス回路に関する。特に、本発明は、アクティブマトリクス回路を駆動するための周辺回路をも同一基板上に有するモノリシック型アクティブマトリクス回路に関する。本発明によるモノリシック型アクティブマトリクス回路は、液晶ディスプレーやプラズマディスプレー等のマトリクス型のディスプレー（表示装置）に使用される。

## 【0002】

【従来の技術】モノリシック型アクティブマトリクス回路は、図5に示すように、アクティブマトリクス回路領域と、ソースドライバー、ゲートドライバーに分けられ、これらは実質的に同一のプロセスによって形成される。アクティブマトリクス回路においては、TFTが液晶セルのスイッチング素子に用いられる。液晶セルの静電容量を補う目的で、通常は、液晶セルと並列に補助容量が設けられる。ソースドライバー、ゲートドライバー等の周辺回路はシフトレジスタとスイッチ素子からなり、これらは高速動作が要求される。そのため、モノリシック型アクティブマトリクス回路は結晶性半導体（例えば、多結晶シリコン）を用いて構成される。また、消費電力を抑制する目的で、周辺回路は相補型回路（CMOS）を用いて構成される。これらの技術については、例えば、特開平1-289917に記述されている。その中では、例えば、アクティブマトリクス回路のスイッチングTFTと周辺回路のシフトレジスタを構成するTFTとは概略同じ断面構造を有することが示されている。

## 【0003】

【発明が解決しようとする課題】しかしながら、アクティブマトリクス回路のスイッチング素子としてのTFTとシフトレジスタのごとき、CMOS回路の中のTFTとでは、その動作は同じものではない。例えば、スイッチング素子のTFTにおいては、ゲート電極には大きな逆バイアス（Nチャネル型であればマイナス）電圧が印

加されるが、CMOSロジック回路の中のTFTにおいては、基本的には逆バイアス電圧が印加されることはない。また、前者の動作速度は後者に要求される速度の1/100以下でよい。このように使用条件や必要とされる特性が大きく異なるTFTを同じような構造のもので使用することは好ましいものではなかった。

## 【0004】

【課題を解決するための手段】本発明においては、アクティブマトリクス回路に使用するスイッチング素子としてのTFTと、周辺回路のシフトレジスタ等に代表されるCMOSロジック回路に用いられるTFTとの構造を変更することにより、回路としての最適化を図るものである。すなわち、アクティブマトリクス回路のTFTのソース/ドレインにおいては、実質的にN型もしくはP型のいずれか一方の不純物のみをドーピングし、アクティブマトリクス回路のTFTと同じ導電型の周辺回路のTFTのソース/ドレインにはN型とP型の不純物を両方ドーピングする。

【0005】例えば、アクティブマトリクス回路のTFTがPチャネル型であれば、そのソース/ドレインにドーピングされる不純物はP型不純物のみである。一方、周辺回路のPチャネル型TFTのソース/ドレインにドーピングされる不純物はP型不純物とN型不純物の双方である。もちろん、一般的にP型不純物の濃度の方がN型不純物の濃度よりも高いことは言うまでもない。特に本発明においてはゲート電極・配線の側面にサイドウォール（側壁）を形成し、これを用いることによって、最適な構造のTFTを得る。本発明におけるサイドウォールの形成は、ゲート電極・配線を覆って、絶縁物被膜を堆積し、これを異方性エッチングすることによっておこなう。このようにして、ゲート電極・配線の側面に形成された概略三角形状の絶縁物（サイドウォール）をドーピングの際のマスクとして用い、低濃度ドレイン（LDD）構造やオフセットゲート構造等を形成するものである。

【0006】このようなサイドウォールを形成することによって、LDDを得るプロセスを図1を用いて説明する。まず、基板上101上に島状の結晶性半導体領域103を形成する。基板上には下地絶縁膜102が形成されていてもよい。そして、ゲート絶縁膜104を堆積した後、適当な材料によってゲート電極105、ゲート配線106を形成する。ゲート電極・配線の材料としては陽極酸化可能な材料、例えば、アルミニウムを用いると良い。（図1（A））

【0007】その後、ドーピング不純物のイオンを加速して、照射することにより、半導体領域にゲート電極105をマスクとして不純物領域109を形成する。ドーピング不純物として燐を用いれば、不純物領域はN型となり、ホウ素を用いればP型となる。これらの不純物の濃度、混合比を調整することにより、不純物の導電型の

程度を制御することができる。LDD構造を得るにはドーピング量（ドーズ量）は低くすることが必要である。また、ドーピングをおこなわなければ、オフセットゲート構造が得られ、また、高濃度のドーピングをおこなえば、通常のソース/ドレインとなる。（図1（B））

【0008】なお、ドーピングの工程に移る前にゲート電極・配線を陽極酸化して、陽極酸化物被膜108を形成しておいてもよい。この陽極酸化物被膜は、後の異方性エッチングの工程において、エッチングストッパーとなつて、ゲート電極を保護する。また、同様な効果は、ゲート電極上に塗化珪素膜等の被膜を形成しても得られる。その後、ゲート電極・配線（およびその周囲の陽極酸化物被膜）を覆って、絶縁物被膜110を形成する。

この被膜形成においては被覆性が重要であり、また、ゲート電極・配線の高さの1/3～2倍の厚さが好適である。この目的には、プラズマCVD法や減圧CVD法、大気圧CVD法等の化学的気相成長（CVD）法が好ましい。その結果、ゲート電極・配線の側面部の酸化珪素膜の厚さは、図1（C）に点線で示す分だけ厚くなっている。（図1（C））

【0009】そして、このように形成された絶縁物を異方性エッチングによって基板に対して概略垂直な方向に優先的にエッチングする。これは、少なくとも、平坦部における絶縁物被膜110がエッチングされる程度までおこなう必要があり、さらに、その下のゲート絶縁膜がエッチングされる程度までエッチングをすすめてもよい。その結果、ゲート電極・配線の側面では、もともと該絶縁物被膜が厚いので、概略三角形の絶縁物（サイドウォール）111および112が取り残される。（図1（D））

【0010】その後、サイドウォール111、112をドーピングマスクとして、高濃度の不純物ドーピングをおこない、ソース/ドレイン114を形成する。また、サイドウォールの下の領域では、ドーピングがおこなわれないので、LDD領域113が形成される。（図1（E））

その後、熱アニールやレーザー光やそれと同等な強光の照射（光アニール）等の手段によってドーピングされた不純物の活性化をおこなう。さらに、層間絶縁物115を形成したのち、TFTのソース/ドレインの一方もしくは双方にコンタクトホールを形成し、2層目の配線116、117を形成する。（図1（F））

【0011】以上の工程を経ることによってLDD構造のTFTを得ることができる。なお、これはLDD構造に限らないことであるが、図1のように、ゲート配線106の側面にサイドウォール112を有する構造では、2層目配線117はゲート配線106を乗り越える部分での段差が、サイドウォール112の存在によって緩やかになっているため、段切れを防止するうえで効果が認められる。

【0012】このようにして、LDD構造、オフセットゲート構造等を得ることができる。本発明では、ホットキャリヤ対策の必要なNチャネル型TFTはLDD構造とし、その必要がないPチャネル型TFTは通常もしくはオフセットゲート構造とする。本発明においては、アクティブマトリクス回路に用いるTFTはNチャネル型でもPチャネル型でも構わないが、特性の劣化の少ない点からはPチャネル型が好ましい。以下に実施例を示し、より詳細に本発明を説明する。

## 【0013】

【実施例】(実施例1) 図2に本実施例を示す。まず、基板(コーニング7059)201上に下地酸化膜202として厚さ1000~5000Å、例えば、2000Åの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中のスパッタ法を使用した。しかし、より量産性を高めるには、TEOSをプラズマCVD法で分解・堆積して形成してもよい。また、このように形成した酸化珪素膜を400~650°Cでアニールしてもよい。

【0014】その後、プラズマCVD法やLPCVD法によってアモルファス状のシリコン膜を300~500Å、好ましくは400~1000Å、例えば、500Å堆積し、これを、550~600°Cの還元雰囲気に8~24時間放置して、結晶化せしめた。その際には、ニッケル等の結晶化を助長する金属元素を微量添加して結晶化を促進せしめてもよい。また、この工程は、レーザー照射によっておこなってもよい。そして、このようにして結晶化させたシリコン膜をエッチングして島状領域203、204、205を形成した。図2においては、島状領域203、204は周辺回路のTFTを、また、島状領域205はアクティブマトリクス回路のTFTを形成するための領域を意味している。さらに、この上にプラズマCVD法によって厚さ700~1500Å、例えば、1200Åの酸化珪素膜206を形成した。

【0015】その後、厚さ1000Å~3μm、例えば、5000Åのアルミニウム(0.1~0.5wt%のSc(スカンジウム)を含む)膜をスパッタ法によって形成して、これをエッチングし、ゲート電極207、208、209を形成した。図では明らかでないが、ゲート電極207~209は全てつながっている。(図2(A))

【0016】そして、ゲート電極207~209に電解液中で電流を通じて陽極酸化し、厚さ500~2500Å、例えば、2000Åの陽極酸化物被膜をゲート電極の上面および側面に形成した。用いた電解溶液は、レーザ石酸をエチレングリコールに5%の濃度で希釈し、アンモニアを用いてpHを7.0±0.2に調整したものであったが、その他の適切な溶液を用いてもよい。電解溶液中に基板201を浸し、定電流源の+側を基板上のゲート配線に接続し、-側には白金の電極を接続して2

0mAの定電流状態で電圧を印加し、150Vに到達するまで酸化を継続した。さらに、150Vで定電圧状態で加え0.1mA以下になるまで酸化を継続した。この結果、厚さ2000Åの酸化アルミニウム被膜が得られた。陽極酸化工程が終了したのち、ゲート電極・配線の分断をおこない、必要な箇所を電気的に分離した。この分断の工程は、後の工程におこなってもよい。

【0017】その後、フォトレジストのマスク210によって、Pチャネル型TFTを形成する領域203、2

10 05を覆い、イオンドーピング法によって、島状シリコン膜204に、ゲート電極部(すなわちゲート電極とその周囲の陽極酸化膜)をマスクとして自己整合的に燐を注入し、N型の低濃度不純物領域(LDD)211を形成した。ドーズ量は $1 \times 10^{13} \sim 1 \times 10^{14}$ 原子/cm<sup>2</sup>、加速電圧は10~90kV、例えば、ドーズ量を $2 \times 10^{13}$ 原子/cm<sup>2</sup>、加速電圧は80kVとした。(図2(B))

【0018】そして、図1(C)の工程と同様に、プラズマCVD法によって、酸化珪素膜を堆積した。ここで20は、原料ガスにTEOSと酸素、もしくはモノシリランと亜酸化窒素を用いた。酸化珪素膜の厚さはゲート電極・配線の高さによって最適な値が異なる。例えば、本実施例のごとく、ゲート電極・配線の高さが陽極酸化物被膜も含めて約6000Åの場合には、その1/3~2倍の2000Å~1.2μmが好ましく、ここでは、600Åとした。この成膜工程においては、平坦部での膜厚の均一性をともに、ステップカバレージが良好であることも要求される。

【0019】次に、図1(D)の工程と同様に、公知の30 RIE法による異方性ドライエッティングをおこなうことによって、上記酸化珪素膜のエッティングをおこなった。このエッティング工程ではゲート絶縁膜206をもエッチングした。以上の工程によって、ゲート電極・配線の側面には概略三角形状の絶縁物(サイドウォール)212、213、214が残った。また、サイドウォールとゲート電極部の下にもゲート絶縁膜215、216、217が残った。(図2(C))

その後、再び、イオンドーピング法によって、燐を導入した。この際にはアクティブマトリクス回路の部分のみ40をフォトレジストのマスク218で覆った。周辺回路とアクティブマトリクス回路とは、図5からも分かるように、ある程度離れているので、このバーニングは比較的容易であった。

【0020】この場合のドーズ量は、図2(B)の工程のドーズ量より1~3桁多くした。また、ゲート絶縁膜がエッティングされているので、加速電圧は10~30kVが適当であった。本実施例では、最初の燐のドーピングのドーズ量の50倍の $1 \times 10^{15}$ 原子/cm<sup>2</sup>とした。加速電圧は10kVとした。この結果、高濃度の燐が導入された領域(ソース/ドレイン)219、220

が形成された。一方、サイドウォール213の下部には、高濃度N型領域220に隣接して、低濃度N型領域が残された。(図2(D))

【0021】引き続きた、イオンドーピング法によって、ホウ素を導入した。この際にはNチャネル型TFTを形成する領域204をフォトレジストのマスク221で覆った。この場合のドーズ量は、N型領域219がP型に反転するために、図2(D)の工程の焼のドーズ量よりも多くした。本実施例では、図2(D)の焼のドーピングのドーズ量の3倍の $3 \times 10^{15}$ 原子/ $\text{cm}^2$ とした。加速電圧は10kVとした。この結果、N型の領域219はP型に反転し、P型領域222となった。また、島状領域205にもホウ素がドーピングされ、P型領域(ソース/ドレイン)223が形成された。(図2(E))

【0022】さらに、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、ドーピングされた不純物の活性化をおこなった。(レーザーアニール工程)

レーザーのエネルギー密度は200~400mJ/cm<sup>2</sup>、好ましくは250~300mJ/cm<sup>2</sup>が適当であった。この工程はレーザー照射の代わりに、熱アニールによっておこなってもよい。また、レーザー照射後に熱アニールをおこなってもよい。

【0023】次に、全面に層間絶縁物224として、CVD法によって酸化珪素膜を厚さ5000Å形成した。そして、TFTのソース/ドレインにコンタクトホールを形成した。この際には、アクティブマトリクス回路のTFTの画素電極側の不純物領域にもコンタクトホール225を形成した。そして、2層目のアルミニウム配線・電極226~229を形成した。アルミニウム配線の厚さはゲート電極・配線とほぼ同じ、4000~6000Åとした。コンタクトホール225には金属配線は形成しなかった。ここで、アクティブマトリクス回路に注目すると、金属配線229は信号線である。また、ゲート電極209はゲート線に接続している。(図2(F))

【0024】最後に、窒化珪素膜のバッシベーション膜230をアラズマCVD法によって形成した。そして、コンタクトホール225の形成されていた部分に、再び、コンタクトホールを形成し、不純物領域を露出させた。スパッタ法によって、透明導電性材料であるインディウム錫酸化物(ITO)被膜を堆積し、これをエッチングして画素電極231を形成した。

【0025】このようにして周辺駆動回路のNチャネル型薄膜トランジスタ232、同Pチャネル型薄膜トランジスタ233、アクティブマトリクス回路のPチャネル型薄膜トランジスタ234を得ることができた。以上の工程から明らかのように、トランジスタ232と234はいずれもオフセットゲート構造のPチャネル型であるが、そのソース/ドレインにドーピングされた不純物の

種類は、前者が焼とホウ素両方であるのに対し、後者はホウ素のみである。特に後者の構造はアクティブマトリクス回路のスイッチング素子のように、大きな逆バイアス電圧が印加される場合には有利であった。

【0026】(実施例2) 本実施例はモノリシック型アクティブマトリクス回路に関し、その概略を図4(A)、(B)、(C)に示す。本実施例の素子の作製方法は実施例1(図2参照)と基本的には同じである。本実施例は図2(G)に示されるモノリシック型アクテ

10 ィブマトリクス回路をさらに発展させたものである。トランジスタ401、402は、それぞれ、Nチャネル型、Pチャネル型であり、いずれも、周辺駆動回路に用いられるトランジスタを表している。また、周辺駆動回路においては、ゲート配線と2層目の配線404とのコンタクト403が設けられる。この際、コンタクトホールは層間絶縁物と陽極酸化物との両方に形成される。(図4(A))

【0027】アクティブマトリクス回路の単位画素の回路図は図4(C)に示される。本実施例ではスイッチング素子としてトランジスタ405、406を2つ直列に接続したダブルゲート回路を採用した。また、画素電極408を接続した島状領域上に、ゲート電極と同じ層の配線407を形成し、ゲート絶縁膜を誘電体として補助容量407を形成した。配線407は容量線として、一定の電圧に保たれ、島上領域との間にMOS容量が形成されるようになっている。(図4(B)、(C))

【0028】(実施例3) 図3に本実施例を示す。下地酸化膜302として厚さ2000Åの酸化珪素膜が形成された基板301上に、結晶性の島状シリコン領域303、304、305を形成した。さらに、この上にアラズマCVD法によって厚さ1200Åの酸化珪素膜306を形成した。図3においては、島状領域303、304は周辺回路のTFTを、また、島状領域305はアクティブマトリクス回路のTFTを形成するための領域を意味している。さらに、側面および上面が陽極酸化された厚さ5000Åのアルミニウムのゲート電極307、308、309を形成した。(図3(A))

【0029】その後、フォトレジストのマスク310によって、Pチャネル型TFTを形成する領域303、305を覆い、イオンドーピング法によって、島状シリコン膜304に、ゲート電極部をマスクとして自己整合的に焼を注入し、低濃度N型領域311を形成した。ドーピング条件は、ドーズ量を $2 \times 10^{13}$ 原子/ $\text{cm}^2$ 、加速電圧は80kVとした。(図3(B))

【0030】次に、フォトレジストのマスク312によって、Nチャネル型TFTを形成する領域304およびアクティブマトリクス領域305を覆い、イオンドーピング法によって、島状シリコン膜303に、ゲート電極部をマスクとして自己整合的にホウ素を注入し、高濃度P型領域313を形成した。ドーピング条件は、ドーズ

量を $3 \times 10^{15}$ 原子/ $\text{cm}^2$ 、加速電圧は60kVとした。(図3 (C)) そして、図1に示す工程によって、ゲイト電極307～309の側面にサイドウォール314、315、316を形成した。また、サイドウォールとゲイト電極部の下にもゲイト絶縁膜317、318、319が残った。(図3 (D))

【0031】その後、再び、イオンドーピング法によって、燐を導入した。この際にはアクティブマトリクス回路の部分のみをフォトレジストのマスク320で覆った。この場合のドーズ量は、図3 (B) の工程のドーズ量より1～3桁多くした。また、ゲイト絶縁膜がエッチングされているので、加速電圧は10～30kVが適当であった。本実施例では、最初の燐のドーピングのドーズ量の50倍の $1 \times 10^{16}$ 原子/ $\text{cm}^2$ とした。加速電圧は10kVとした。この結果、高濃度の燐が導入されたN型領域(ソース/ドレイン)321が形成された。しかし、先にホウ素の導入された領域313においては、ホウ素のドーズ量の方が燐のドーズ量よりも大きいため、P型のままであった。また、領域313のうちサイドウォール314の下の領域には全く燐はドーピングされなかった。さらに、サイドウォール315の下部には、高濃度N型領域321に隣接して、低濃度N型領域が残された。(図3 (E))

【0032】次に、フォトレジストのマスク320を除去し、イオンドーピング法によって、低濃度のホウ素を導入した。この場合のドーズ量は、先のホウ素のドーズ量より1～3桁低いことが望ましい。本実施例では、図3 (C) のホウ素のドーズ量の1/100の $3 \times 10^{13}$ 原子/ $\text{cm}^2$ とした。加速電圧は10kVとした。この結果、アクティブマトリクス回路のTFTを形成する島状領域305に低濃度のP型の領域322が形成された。(図3 (F))

【0033】さらに、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、ドーピングされた不純物の活性化をおこなった。(レーザーアニール工程)

レーザーのエネルギー密度は200～400mJ/ $\text{cm}^2$ 、好ましくは250～300mJ/ $\text{cm}^2$ が適当であった。この工程はレーザー照射の代わりに、熱アニールによっておこなってもよい。また、レーザー照射後に熱アニールをおこなってもよい。

【0034】最後に実施例1と同様に、層間絶縁物323、金属配線324～327、バッシャーション膜328、ITOの画素電極329を形成した。(図3 (G))

このようにして周辺駆動回路のNチャネル型薄膜トランジスタ、同Pチャネル型薄膜トランジスタ、アクティブマトリクス回路のPチャネル型薄膜トランジスタ234を得ることができた。以上の工程から明らかのように、本実施例では周辺回路のNチャネル型TFTはLDD構

造である。また、Pチャネル型TFTに関しては、周辺駆動回路では通常の構造であるが、アクティブマトリクス回路ではオフセットゲイト型である。しかも、アクティブマトリクス回路のTFTのソース/ドレインは低濃度のドーピングをおこなったのみである。

【0035】このような構造はアクティブマトリクス回路のスイッチング素子として使用するには理想的である。すなわち、オフセットゲイト型であると、ゲイト電極に逆バイアス電圧が印加された際のリーク電流(OFF電流ともいう)が少なく、画素セルに保持される電荷の流出が抑制される。また、ソース/ドレインの不純物濃度が低いと、逆バイアス電圧の印加によって生じる特性劣化を防止することができる。一方、周辺回路においては高速動作が望まれるので、図のように通常の構造のTFTとするとよかったです。

【0036】(実施例4) 本実施例はモノリシック型アクティブマトリクス回路に関し、その概略を図4 (D)、(E)、(F)に示す。本実施例の素子の作製方法は実施例3(図3参照)と基本的には同じである。

20 本実施例は図3 (G) に示されるモノリシック型アクティブマトリクス回路をさらに発展させたものである。トランジスタ411、412は、それぞれ、Nチャネル型、Pチャネル型であり、いずれも、周辺駆動回路に用いられるトランジスタを表している。また、周辺駆動回路においては、ゲイト配線と2層目の配線414とのコンタクト413が設けられる。この際、コンタクトホールは層間絶縁物と陽極酸化物との両方に形成される。(図4 (D))

【0037】アクティブマトリクス回路の単位画素の回路図は図4 (F) に示される。本実施例ではスイッチング素子としてトランジスタ415、416を2つ直列に接続した。そして、実施例2と同様に島状領域と配線417によって、MOS容量419を形成した。加えて、バッシャーション膜および層間絶縁物をエッチングし、陽極酸化物を誘電体として、画素電極と配線417の間に容量420を構成した。実施例2と同様に、配線417は容量線として、一定の電圧に保たれている。(図4 (E)、(F))

【0038】40 【発明の効果】 本発明によって、モノリシック型アクティブマトリクス回路の各回路において、必要とされる特性や信頼性を有するTFTが示され、該マトリクス回路の表示特性を向上させる上で有益である。

【図面の簡単な説明】

【図1】 本発明におけるサイドウォール作製工程の概略を示す。

【図2】 実施例1によるTFT回路の作製方法を示す。

50 【図3】 実施例2によるTFT回路の作製方法を示す。

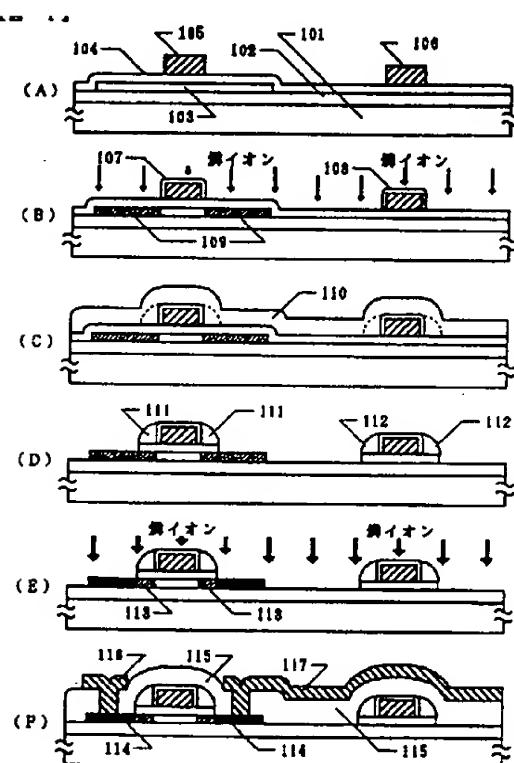
## 11

【図4】 実施例3および4のTFT回路の例を示す。  
 【図5】 モノリシック型アクティブラチマトリクス回路のブロック図を示す。

## 【符号の説明】

101 ガラス基板  
 102 下地酸化膜（酸化珪素）  
 103 島状シリコン領域（活性層）  
 104 ゲイト絶縁膜  
 105 ゲイト電極（アルミニウム）

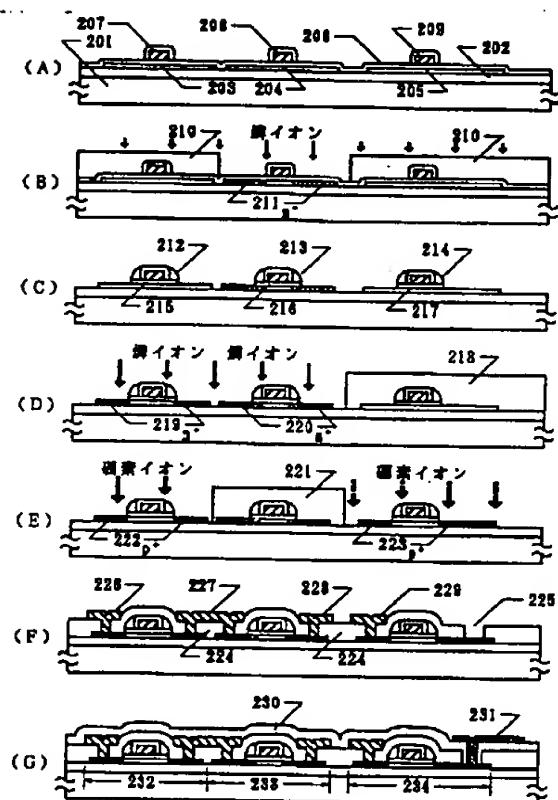
## 【図1】



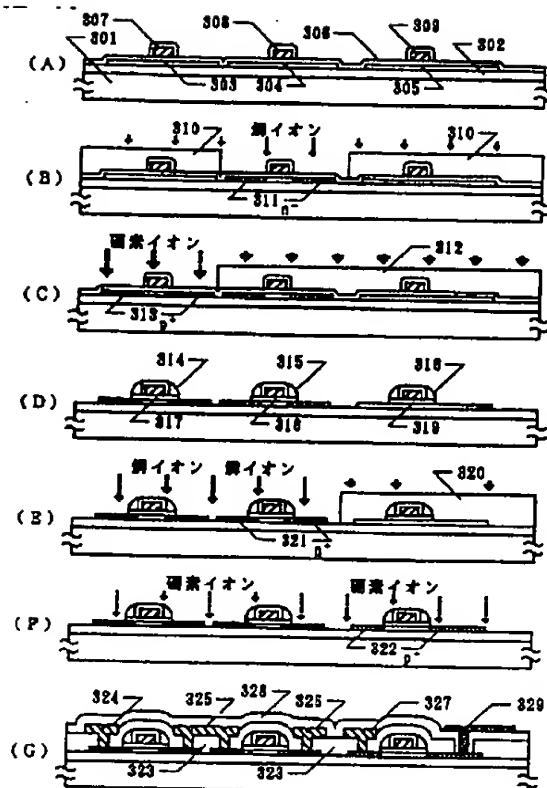
## 12

106 ゲイト配線（アルミニウム）  
 107、108 陽極酸化物（酸化アルミニウム）  
 109 弱いN型不純物領域  
 110 絶縁物被膜（酸化珪素）  
 111、112 サイドウォール  
 113 LDD（低濃度不純物領域）  
 114 ソース／ドレイン  
 115 層間絶縁膜（酸化珪素）  
 116、117 金属配線・電極（アルミニウム）

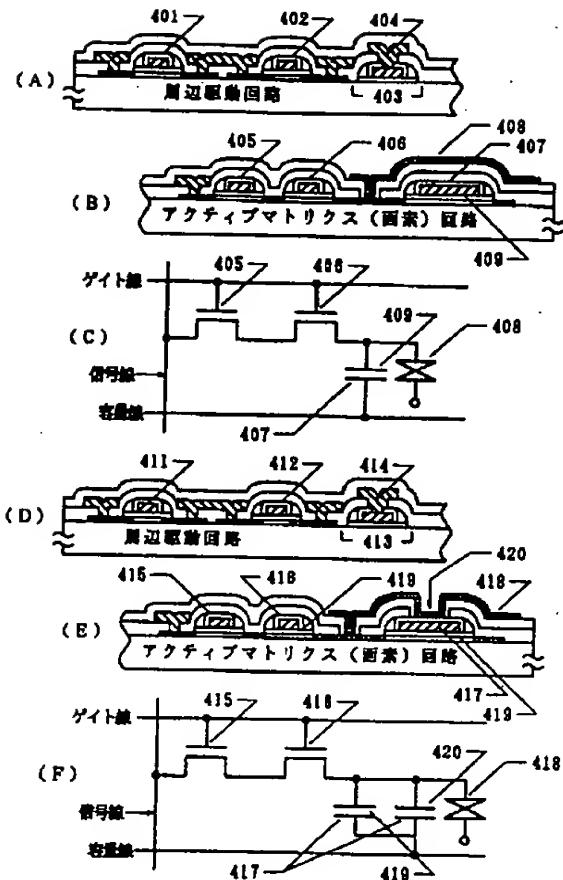
## 【図2】



【図3】



【図4】



【図5】

